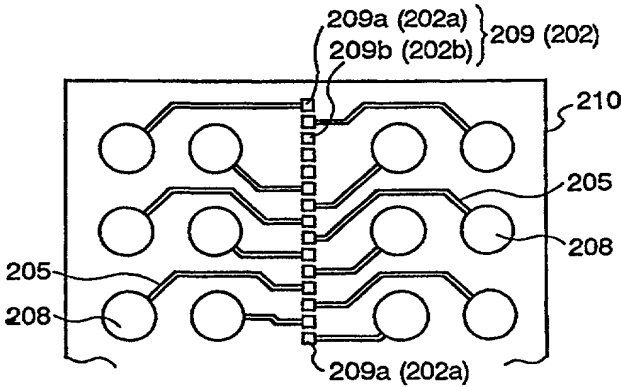




特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 H01L 21/66, G01R 31/26, 31/28	A1	(11) 国際公開番号 WO00/44041 (43) 国際公開日 2000年7月27日(27.07.00)
(21) 国際出願番号 PCT/JP99/00232 (22) 国際出願日 1999年1月22日(22.01.99) (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 西村朝雄(NISHIMURA, Asao)(JP/JP) 宿利章二(SYUKURI, Syouji)(JP/JP) 橘川五郎(KITSUKAWA, Gorou)(JP/JP) 宮本俊夫(MIYAMOTO, Toshio)(JP/JP) 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体事業本部内 Tokyo, (JP) (74) 代理人 弁理士 玉村静世(TAMAMURA, Shizuyo) 〒271-0092 千葉県松戸市松戸1333番地1 コスモ松戸ステーションスクエア209号 Chiba, (JP) <i>TITLE VI</i>		(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書
(54) Title: <u>SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF</u> (54) 発明の名称 半導体集積回路装置及びその製造方法  (57) Abstract A semiconductor integrated circuit includes test pads (209b) of a conducting layer, such as a secondary interconnection layer (205), on or near terminals such as bonding pads (202b) that are used only for probing and are not provided with bump electrodes (208). Other terminals such as bonding pads provided with bump electrodes may include similar test pads. Probing is carried out on such test pads, or both on such test pads and an underlying metal layer on which bump electrodes are to be formed. The use of test pads eliminates the need for bump electrodes for dedicated probing pads. Since the test pads are formed near terminals such as bonding pads and smaller than metal parts under bump electrodes, probing can be carried out after a secondary interconnection process.		